

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

Patent Number: JP7201716
Publication date: 1995-08-04
Inventor(s): OGAWA TORU
Applicant(s): SONY CORP
Requested Patent: JP7201716
Application Number: JP19930352031 19931229
Priority Number(s):
IPC Classification: H01L21/027; G03F7/11; H01L21/318
EC Classification:
Equivalents: JP3326943B2

Citation 1

Abstract

PURPOSE: To provide a semiconductor device and its manufacturing method capable of avoiding the decomposition of a reflection preventive film having stoichiometrically unstable bonds as well as forming a highly stable fine pattern.

CONSTITUTION: A reflection preventive film 12 having stoichiometrically unstable bonds is formed on an underneath substrate; a protective film 14 suppressing the change in the optical requirements of this reflection preventive film 12 is formed; and then a resist film is formed on this protective film 14 directly or through the intermediary of an interlayer film so as to be processed according to a specific pattern using photolithography.

Data supplied from the **esp@cenet** database - I2

EL979978767

Citation /

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-201716

(43) 公開日 平成7年(1995)8月4日

(51) Int.Cl.⁶ 識別記号 廣内整理番号 F I
H 0 1 L 21/027
G 0 3 F 7/11 5 0 3
H 0 1 L 21/318 C 7352-4M
7352-4M H 0 1 L 21/ 30 5 7 4

審査請求 未請求 請求項の数11 FD (全 16 頁)

(21)出願番号 特願平5-352031

(22)出願日 平成5年(1993)12月29日

(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 小川 透
東京都品川区北品川6丁目7番35号 ソニ
一株式会社内

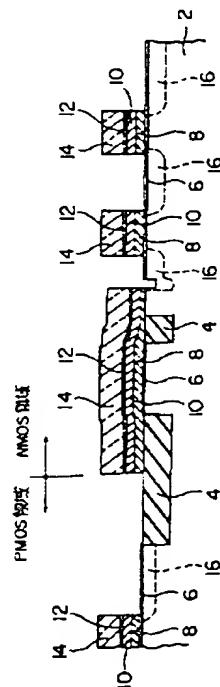
(74) 代理人 弁理士 佐藤 隆久

(54) 【発明の名称】 半導体装置の製造方法および半導体装置

(57) 【要約】

【目的】 化学量論的に不安定な結合を有する反射防止膜の変質を防ぎ、良好に安定した微細パターンを形成することができる半導体装置の構造およびその製造方法を提供すること。

【構成】 下地基板上に、化学量論的に不安定な結合を有する反射防止膜12を形成し、この反射防止膜12上に、この反射防止膜12の光学条件の変化を抑止する保護膜14を形成し、この保護膜14上に、直接または層間膜を介して、レジスト膜を形成し、このレジスト膜をフォトリソグラフィー法により所定のパターンに加工する。



1

2

【特許請求の範囲】

【請求項1】 下地基板上に、フォトリソグラフィー法により所定パターンのレジスト膜を形成し、このレジスト膜をマスクとして、エッチングを行い、上記下地基板を加工する半導体装置の製造方法であって、
上記下地基板上に、化学量論的に不安定な結合を有する反射防止膜を形成する工程と、
この反射防止膜上に、この反射防止膜の光学条件の変化を抑止する保護膜を形成する工程と、
この保護膜上に、直接または層間膜を介して、レジスト膜を形成する工程と、
このレジスト膜をフォトリソグラフィー法により所定のパターンに加工する工程と、
を含むことを特徴とする半導体装置の製造方法。

【請求項2】 上記反射防止膜が、 S_1, O, N_x (ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数)で構成される請求項1に記載の半導体装置の製造方法。

【請求項3】 上記保護膜が、この保護膜上に形成される層間膜と略同等の光学特性を有する材質で構成される請求項1または2に記載の半導体装置の製造方法。

【請求項4】 上記保護膜は、露光用光の波長における屈折率 (n) が1.4以上1.7以下の無機膜で構成され、上記層間膜が、酸化シリコン膜で構成される請求項1～3のいずれかに記載の半導体装置の製造方法。

【請求項5】 上記保護膜が、プラズマTEOS法により成膜される膜である請求項1～4のいずれかに記載の半導体装置の製造方法。

【請求項6】 上記保護膜が、上記反射防止膜の成膜温度以下の温度で成膜される請求項1～5のいずれかに記載の半導体装置の製造方法。

【請求項7】 上記保護膜が、絶縁膜であり、この保護膜が、層間膜を兼ねる請求項1～6のいずれかに記載の半導体装置の製造方法。

【請求項8】 MOSトランジスタが形成された半導体装置において、
MOSトランジスタのゲート電極の上に、 S_1, O, N_x (ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数)で構成される反射防止膜が成膜しており、この反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する保護膜が成膜しており、この保護膜が、ゲート電極のオフセット酸化膜の少なくとも一部である半導体装置。

【請求項9】 下層配線層と、層間絶縁膜と、上層配線層とを有し、層間絶縁膜に形成されたコンタクトホールを通して、下層配線層と上層配線層とが接続してある半導体装置であって、

下層配線層の表面には、 S_1, O, N_x (ただし、 x は0を含まない実数、 y は0を含む実数、 z は0を含まない実数)で構成される反射防止膜が成膜しており、この

10

20

30

40

50

反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する機能を有する保護膜が成膜してある半導体装置。

【請求項10】 上記保護膜が、上記反射防止膜の成膜温度以下の温度で、プラズマTEOS法により成膜される膜である請求項8に記載の半導体装置。

【請求項11】 上記保護膜が、層間絶縁膜であり、上記反射防止膜の成膜温度以下の温度で、プラズマTEOS法により成膜される膜である請求項9に記載の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体装置の製造方法および半導体装置に係り、さらに詳しくは、微細パターンを良好に、しかも安定して形成することができる半導体装置の構造および製造方法に関する。

【0002】

【従来の技術】 現在、半導体集積回路の研究開発において、サブハーフミクロン領域のデザインルールデバイスが研究開発されている。これらデバイス開発において使用されるフォトリソグラフィー技術においては、ステッパー (縮小投影露光機) と呼ばれる单一波長の光を露光光源に用いた露光装置が使用されている。

【0003】 単一波長で露光を行う場合には、定在波効果と呼ばれる現象が発生することが広く知られている。定在波が発生する原因是、レジスト膜内で露光光の多重干渉が起こることによる。すなわち、図1に示すように、入射光Pと、レジストPRと基板Sとの界面からの反射光Rとが、レジスト膜内で干渉を起こすことによる。その結果として、図2に示すとく、レジストに吸収される光量 (縦軸) が、レジスト膜厚 (横軸) に依存して変化する。なお、本明細書中、レジストに吸収される光量とは、レジスト表面での表面反射や、基板での吸収や、レジストから射出した光などを除いた、レジスト自体に吸収される光の量を示す。かかる吸収光量が、レジストを光反応させるエネルギーとなる。

【0004】 なお、図2は、シリコン基板の上にレジスト膜 (XP8843) を成膜し、レジスト膜の膜厚による吸収光量の変化を調べた結果である。露光用光としては、 $\lambda = 248 \text{ nm}$ のKrfを仮定した。実デバイスにおいては、図3に示すように、基板面には必ず凹凸が存在する。例えば、ポリシリコン等の凸部Inが存在する。このため、レジスト膜RPを塗布した際、レジスト膜の厚さは、段差の上部と下部とで異なることになる。つまり、凸部In上のレジスト膜厚 d_{RP} は、それ以外の部分のレジスト膜厚 d_{RP} よりも薄くなる。

【0005】 定在波効果は、レジスト膜厚により異なることは、前記説明したとおりであり、このため、定在波効果の影響を受けることによるレジストに吸収される光量の変化も、各々変わってくる。この結果、露光、現象

後に得られるレジストパターンの寸法が、段差の上部と下部とで異なってしまう。定在波効果のパターン寸法に及ぼす影響は、同一波長、同一開口数のステッパーを用いた場合、パターンが細かければ細かいほど顕著化し、どの種のレジストについても、共通に見られる現象である。

【0006】半導体デバイス作製時のフォトリソグラフィー工程におけるレジストパターンの寸法精度は、一般に±5%である。この±5%の寸法精度を達成するためには、定在波効果の低減が必須である。図4にレジスト膜内の吸収光量の変動（横軸）に対する、レジストパターンの寸法変動（縦軸）を示す。図4から明らかなように、たとえば0.35μmルールのデバイスの作製を行うには、レジスト膜の吸収光量の変動は、レンジ6%以下であることが要求される。

【0007】

【発明が解決しようとする課題】上述した要求にこたえるべく、現在各方面で反射防止技術の検討が精力的に行われている。その結果、反射防止膜が必要不可欠とされている高融点金属シリサイド（たとえばW-Si）、金属（たとえばAl-Si）、シリコン系材料（たとえばPolycrystalline Silicon）上の優れた反射防止材料として、SiC, SiO₂, Si₃N₄, Si₂O₅が、本発明者によって、見い出されている。

【0008】デバイス作製時、特に0.35μm以下のデザインルールを有するデバイスにおいては、セルフアラインコンタクト（SAC）法の採用が必須となっている。この技術を用いるには、たとえばW-Siを用いたゲート電極上に、オフセット酸化膜を形成し、該酸化膜上にフォトリジスト層を形成して、半導体マスクパターンをレジストに転写し、転写されたレジストをマスクにして、オフセット酸化膜および高融点金属シリサイド（たとえばW-Si）、シリコン系材料（たとえば、Polycrystalline Silicon）をエッチングすることにより半導体装置を作製していく。

【0009】高融点金属シリサイド（たとえばW-Si）、シリコン系材料（たとえば、Polycrystalline Silicon）上に、半導体マスクパターンを形成する際においては、SiO₂, Si₃N₄, Si₂O₅膜などで構成される反射防止膜を、レジスト膜の下部に成膜することが、微細パターンを形成する上で効果があることは、本発明者によって見い出されている。

【0010】ところが、SiO₂, Si₃N₄, Si₂O₅膜は、化学量論的に見て、安定な膜ではない。そのため、SiO₂, Si₃N₄, Si₂O₅膜などの反射防止膜上に、オフセット酸化膜などの膜を成膜し、その上から微細パターンを形成する場合には、オフセット酸化膜などの成膜時に、その成膜温度が高いと、反射防止膜の膜質が変化してしまい（光学条件が変化）、反射防止効果が薄れ、安定して微細パターンを形

成することは困難であった。よって早急に、何らかの対策が必要不可欠である。

【0011】本発明は、上記実情に鑑みてなされ、化学量論的に不安定な結合を有する反射防止膜の変質を防ぎ、良好に安定した微細パターンを形成することができる半導体装置の構造およびその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段および作用】本発明では、1線（365nm）またはそれよりも短波長の光、たとえば1線、KrF, ArFエキシマレーザーを光源に用いて、半導体デバイスを作成する際、化学量論的に不安定な結合を有する反射防止膜の変質を防ぐために、該反射防止膜上に、該反射防止膜の膜質を変質させない（光学条件の変化を抑制する）保護膜を決定し、これにより良好に安定した微細パターンを形成することができる。

【0013】反射防止膜の決定に際しては、以下の手段を用いた。

（I）任意に定めたある膜厚のレジストの膜厚に対し、反射防止膜の光学条件（n, k）を連続的に変化させ（ただし、反射防止膜の膜厚は固定しておく）た際のレジスト膜内で吸収される吸収光量の等高線を求める。

【0014】（II）上記（I）で求めた各レジスト膜の膜厚におけるレジスト内部の吸収光量の等高線の結果において、吸収光量の差が最小になる共通領域を見い出し、この共通領域により限定される光学条件を、（I）において定めた反射防止膜の膜厚における光学条件（n, k）とする。

【0015】（III）反射防止膜の膜厚を変化させて、上記（I），（II）の操作を繰り返し行い、反射防止膜の各膜厚に対する各最適条件の光学定数（n, k）を求める。

（IV）上記（III）で得られた最適条件の光学定数を有する実際の材質の反射防止膜を見い出す。

【0016】次に、図面を参照して、本発明に用いられる反射防止膜の包括的条件を決定する上記手段（I）～（IV）について、より具体的に説明する。

①定在波効果の極大値間、または極小値間のレジスト膜厚は、レジストの屈折率をn_{res}とし、露光用光の波長をλとするとき、λ/4n_{res}で与えられる（図5参照）。

【0017】②レジストと下地基板との間に、反射防止膜ARLを経程して、その膜厚さd_{ARL}、光学定数をn_{ARL}, k_{ARL}とする。

③図5におけるある1点（たとえば、定在波効果が極大となる膜厚）の膜厚に着目すると、反射防止膜の膜厚さd_{ARL}を固定してn_{ARL}, k_{ARL}を変化させた場合、その点におけるレジスト膜の吸収光量は変化する。この変化する軌跡、すなわち吸収光量の等高線を求めるとき、図6に示すようになる。

【0018】④他の異なるレジスト膜厚d_{res}について

て、少なくとも定在波効果を極大もしくは極小にする膜厚を基準にして、 $\lambda/8$ nm間隔で4ヶ所に対して、③を繰り返し行うと、図6に対応した図7～図9が得られる（図6～図9は、反射防止膜厚を20 nmに規定し、レジスト膜厚を各々985 nm、1000 nm、1018 nm、1035 nmとした結果を示す）。以上は、上記手段（I）に該当する。

【0019】⑤図6～図9の各々グラフの共通領域は、反射防止膜の特定の膜厚について、レジスト膜厚が変化しても、レジスト膜内での吸収光量が変化しない領域を示している。すなわち、上記共通領域は、定在波効果を最小にする、反射防止効果が最も高い領域である。よって、かかる共通領域を見い出す。共通領域を見い出すのは、例えば簡便には、各図（グラフ）を重ね合わせて、共通領域をとることにより、行うことができる（もちろん、コンピュータでの共通領域の検索により行ってもよい）。これは上記手段（II）に該当する。

【0020】⑥次に、反射防止膜の膜厚dを連続的に変化させて、上記③④⑤を繰り返す。たとえば最初のステップの⑤までは、d=20 nmとして操作を行ったすると、dを変えて、上記を繰り返し行う。これにより、定在波効果を最小にするような反射防止膜の膜厚d_{opt}、光学定数n_{opt}、k_{opt}の条件を特定できる。これは上記手段（III）に該当する。

【0021】⑦上記⑥で特定した反射防止膜の満たすべき条件（膜厚、光学定数）を満足するような膜の種類を、露光用光における各膜種の光学定数を測定することにより、見い出す。これは手段（IV）に該当する。上記手法は、全ての波長、全ての下地基板に対して、原理的に適用可能である。

【0022】上記（I）～（IV）の手段で、本発明に係る方法で好適に用いることができる反射防止膜について検討したところ、単結晶シリコン、多結晶シリコン、アモルファスシリコン、ドープドポリシリコン等のシリコン系膜、またはタンクスチン、タンクスチンシリサイド等の高融点金属シリサイド系膜などの高反射基板上に形成する反射防止膜として、Si_xO_yN_z膜またはSi_xN_y膜が特に適切であることが判明した。

【0023】すなわち、単結晶シリコン、多結晶シリコン、アモルファスシリコン、ドープドポリシリコン等のシリコン系膜、またはタンクスチン、タンクスチンシリサイド等の高融点金属シリサイド系膜などの高反射基板上の反射防止膜としては、n=1.7～2.4、k≤0.90（好ましくは0.1≤k≤0.6）の光学定数を有する無機膜、特に、Si_xO_yN_z膜（水素Hを含有してもよい）またはSi_xN_y膜を、20～300 nmの膜厚で用いることが好ましいことが判明した。

【0024】たとえば、Si_xO_yN_z膜（水素Hを含有する場合があり、Si_xO_yN_z：H膜とも称する）は、図10（A）、（B）に示すように、製膜時の条件

件、特にシラン系ガスの流量比に応じて、例えば波長248 nmの波長帯において、屈折率の実数部nは、ほぼ2.1程度で一定値をとり、屈折率の虚数部kは、シラン系ガスの流量比を変化させることにより、任意にコントロールすることができる。そのため、特定の下地基板のための反射防止膜として要求される光学定数の値を持つ反射防止膜を容易に作ることができる。

【0025】たとえば、W-Si基板を下地基板として用いる場合には、n=2.12、k=0.54、d=29 nmの反射防止膜が最適であり、定在波効果を最小限にすることができる。また、Al-Si基板を下地基板として用いる場合には、n=2.09、k=0.87、d=24 nmの反射防止膜が最適であり、定在波効果を最小限にすることができる。Si基板を下地基板として用いる場合には、n=2.0、k=0.55、d=32 nmの反射防止膜が最適であり、定在波効果を最小限にすることができる。

【0026】これらの条件のSi_xO_yN_z：H膜を、反射防止膜として、それぞれタンクスチンシリサイド上、アルミシリコン、単結晶シリコン上に成膜し、それらの定在波効果を、それらを用いない場合に比較して示した結果を、図11、図12、図13に示す。これら図11～13に示すように、適切な条件のSi_xO_yN_z：H膜を、反射防止膜として用いることで、定在波効果を抑制することができ、反射防止効果を達成することができる。

【0027】ところが、このSi_xO_yN_z：H膜は、製造条件により、光学定数を自由に設定できる反面、化学量論的に不安定な膜である。たとえば図14に示すFT-IRスペクトル分析から明らかなように、Si_xO_yN_z：H膜を成膜後にアニール処理した場合には、アニール温度が500°C以上になると、Si_xO_yN_z：H膜の結合状態は、成膜直後の結合状態とは異なってしまっていることが分かる。Si_xO_yN_z：H膜の結合状態が変化すれば、その膜の光学条件も変化てしまい、良好な反射防止効果を維持できなくなるおそれがある。

【0028】そこで、化学量論的に不安定な反射防止膜の保護を図るために、その反射防止膜の上に保護膜を形成することが考えられる。ところが、どの様な種類の保護膜であっても良いと言うわけではない。すなわち、保護膜の成膜時の熱処理により、反射防止膜の光学特性が変化してはならないからである。

【0029】本発明者の実験により、次のことが判明した。すなわち、反射防止膜としてのSi_xO_yN_z：H膜の結合状態を変えないためには、該膜上に化学量論的に安定な膜を、Si_xO_yN_z：H膜の成膜温度と同程度以下の温度で成膜して保護膜として用いれば良い。

【0030】セルフアラインコンタクト技術を用いるときの層間膜として、膜厚80～200 nm程度の酸化膜

7

を用いる。該膜の光学定数の実数部は、 $n = 1.4 \sim 1.7$ 程度である。したがって、 $\text{Si}_x\text{O}_y\text{N}_z$: H 膜上に、同一成膜装置を用いて、同一成膜温度で、たとえばプラズマテオス (P-TEOS) 法による酸化シリコン膜を 30 nm 形成し、その後に、層間膜として 720 °C の成膜温度でテオス (LP-TEOS) 法による酸化シリコン膜を約 140 nm 形成すれば、 $\text{Si}_x\text{O}_y\text{N}_z$: H 膜の変質を防ぐことが可能である。プラズマテオス法による酸化シリコン膜とテオス法による酸化シリコン膜とは、光学的にはほぼ同等なので、 $\text{Si}_x\text{O}_y\text{N}_z$: H 膜の反射防止効果が損なわれることはない。

【0031】すなわち、化学量論的に不安定な結合を有する反射防止膜の変質を防ぐための保護膜を用いることにより、良好に安定したマスクパターンが形成できる。これにより、上記目的を達成し、本発明を完成させた。上記目的を達成するために、本発明に係る半導体装置の製造方法は、下地基板上に、化学量論的に不安定な結合を有する反射防止膜を形成する工程と、この反射防止膜上に、この反射防止膜の光学条件の変化を抑止する保護膜を形成する工程と、この保護膜上に、直接または層間膜を介して、レジスト膜を形成する工程と、このレジスト膜をフォトリソグラフィー法により所定のパターンに加工する工程とを含む。

【0032】上記反射防止膜が、 $\text{Si}_x\text{O}_y\text{N}_z$ (ただし、 x は 0 を含まない実数、 y は 0 を含む実数、 z は 0 を含まない実数) で構成されることが好ましい。反射防止膜としての $\text{Si}_x\text{O}_y\text{N}_z$ 膜または Si_xN_y 膜は、少なくともシリコンを含むガス系を用いた各種 CVD 法により容易に成膜することができる。たとえば、これら膜は、平行平板型プラズマ CVD 法、ECR プラズマ CVD 法、もしくはバイアス ECR プラズマ CVD 法を利用し、マイクロ波を用いて、シラン系ガスと酸素および窒素を含むガスと (たとえば $\text{SiH}_4 + \text{O}_2 + \text{N}_2$) の混合ガス、またはシラン系ガスと窒素を含むガス (たとえば $\text{SiH}_4 + \text{N}_2\text{O}$) の混合ガスとを用いて成膜することができる。また、その際に、バッファガスとして、アルゴン Ar ガスなどを用いることができる。

【0033】反射防止膜としての $\text{Si}_x\text{O}_y\text{N}_z$ 膜または Si_xN_y 膜は、レジストをマスクとして、 CF_4 、 CHF_3 、 C_2F_6 、 C_4F_8 、 SF_6 、 S_2F_2 、 NF_3 系ガスをエッチャントとし、Ar を添加してイオン性を高めた RIE により、容易にエッチングすることができる。その RIE は、約 2 Pa 程度の圧力下で、10 ~ 100 W 程度のパワーをかけて行うことが好ましい。また、RIE 時のガスの流量は、特に限定されないが、5 ~ 70 SCCM であることが好ましい。

【0034】上記保護膜が、この保護膜上に形成される層間膜と略同等の光学特性を有する材質、特に無機材で構成されることが好ましい。保護膜の膜厚は、20 ~ 200 nm 程度が好ましい。上記保護膜は、露光用光の波

10

長における屈折率 (n) が 1.4 以上 1.7 以下の無機膜で構成され、上記層間膜が、酸化シリコン膜で構成されることが好ましい。

【0035】上記保護膜が、プラズマ TEOS 法またはオゾン TEOS 法により成膜される膜であることが好ましい。上記保護膜が、上記反射防止膜の成膜温度以下の温度で成膜されることが好ましい。具体的には、上記保護膜が、500 °C 以下の温度で成膜されることが好ましい。

20

【0036】上記反射防止膜と保護膜、もしくは反射防止膜と保護膜と層間膜は、同一の成膜装置を用いて成膜されることが望ましい。上記保護膜が、絶縁膜であり、この保護膜が、層間膜を兼ねることもできる。上記目的を達成するために、本発明に係る第 1 の半導体装置は、MOS トランジスタのゲート電極の上に、 $\text{Si}_x\text{O}_y\text{N}_z$ (ただし、 x は 0 を含まない実数、 y は 0 を含む実数、 z は 0 を含まない実数) で構成される反射防止膜が成膜してあり、この反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する保護膜が成膜してあり、この保護膜が、ゲート電極のオフセット酸化膜の少なくとも一部である。

30

【0037】本発明に係る第 2 の半導体装置は、下層配線層と、層間絶縁膜と、上層配線層とを有し、層間絶縁膜に形成されたコンタクトホールを通して、下層配線層と上層配線層とが接続してある半導体装置であって、下層配線層の表面には、 $\text{Si}_x\text{O}_y\text{N}_z$ (ただし、 x は 0 を含まない実数、 y は 0 を含む実数、 z は 0 を含まない実数) で構成される反射防止膜が成膜してあり、この反射防止膜の上に、この反射防止膜の光学条件の変化を抑止する機能を有する層間絶縁膜が成膜してある。

【0038】

【実施例】以下、本発明の実施例について、具体的に説明する。ただし、本発明は、以下の実施例により限定されるものではなく、本発明の範囲内で種々に改変することができる。

【0039】実施例 1

この実施例は、本発明を 1 線 (365 nm)、またはそれよりも短波長の光、たとえば 1 線、KrF, ArF エキシマレーザーを光源に用いて、高反射基板上に、半導体マスクパターンを形成する際、化学量論的に不安定な結合を有する反射防止膜の変質を防ぐために、該反射防止膜上に該反射防止膜の膜質を変質させない保護膜を用いることにより、良好に安定したマスクパターンが形成できるようにした実施例である。

【0040】本実施例の半導体製造方法は、図 15 に示すように、たとえば W, W-Si 等の高融点金属シリサイドを用いたゲート電極作成工程に好適に用いることができる。ただし、本実施例における考え方は、当然基板種類やレジスト種類や高反射層種類を問わずに好適に適用することができる。

【0041】図15に示す実施例について詳細に説明する。図15は、SRAMなどの半導体装置を製造する過程を示し、半導体基板2上に、NMOSトランジスタのゲート電極と、PMOSトランジスタのゲート電極とが形成される。

【0042】半導体基板2としては、たとえばシリコンウェーハが用いられる。半導体基板2の表面には、素子分離領域4が形成される。素子分離領域4は、たとえばLOCOS法、トレンチ型素子分離法などにより形成される。素子分離領域4を半導体基板の表面に形成した後、半導体基板2の表面に、ゲート絶縁膜6を形成する。ゲート絶縁膜6は、半導体基板2の表面を熱酸化することにより成膜され、たとえば酸化シリコンで構成される。

【0043】次に、ゲート絶縁膜の表面に、たとえばCVD法で、ポリシリコン膜8を成膜する。ポリシリコン膜8の表面には、たとえばCVD法で、タンゲステンシリサイド膜10を成膜する。これらポリシリコン膜8およびタンゲステンシリサイド膜10は、以下に示す本実施例の方法でパターン加工され、MOSトランジスタのゲート電極となる。

【0044】本実施例では、ポリシリコン膜8およびタンゲステンシリサイド膜10を微細パターンに加工するために、その上に、まず反射防止膜12を成膜する。反射防止膜12としては、 $n = 1.7 \sim 2.4$ 、 $k \leq 0.90$ (好ましくは $0.1 \leq k \leq 0.6$) の光学定数を有するSi_xO_yN_z:H膜を、20~300nmの膜厚で用いる。

【0045】Si_xO_yN_z:H膜は、少なくともシリコンを含むガス系を用いた各種CVD法により容易に成膜することができる。たとえば、この膜は、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波を用いて、シラン系ガスと酸素および窒素を含むガスと (たとえばSiH₄+O₂+N₂) の混合ガス、またはシラン系ガスと窒素を含むガス (たとえばSiH₄+N₂O) の混合ガスとを用いて成膜することができる。また、その際に、バッファガスとして、アルゴンArガスなどを用いることができる。Si_xO_yN_z:H膜の成膜時の温度は、特に限定されないが、たとえば350~400°Cである。

【0046】次に、本実施例では、この反射防止膜12の上に、保護膜14を成膜する。この保護膜14は、本実施例では、オフセット酸化膜を兼ねており、その膜厚は、特に限定されないが、たとえば20~200nmである。保護膜14は、化学量論的に不安定なSi_xO_yN_z:H膜で構成される反射防止膜12の光学条件の変化を抑制するための膜であり、たとえば、500°C以下の成膜温度でCVD法により成膜された酸化シリコン膜、プラズマTEOS法またはオゾンTEOS法により

成膜された酸化シリコン膜などで構成される。反射防止膜12と保護膜14とは、同一の成膜装置を用いて成膜することができる。

【0047】その後、本実施例では、オフセット酸化膜を兼ねた保護膜14の上に、図示省略してあるレジスト膜をスピンドルコート法などで成膜し、レジスト膜のフォトリソグラフィー加工を行う。フォトリソグラフィーに用いる露光用光としては、1線 (365nm)、またはそれよりも短波長の光、たとえば1線、KrF、ArFエキシマレーザーを用いる。

【0048】レジスト膜の下層側に、高反射性のタンゲステンシリサイド膜10が存在することによる定在波効果は、反射防止膜12により良好に抑制され、高精度で微細パターンを作成することが可能である。また、反射防止膜の光学条件は、定在波効果を抑制するように最適化されており、その光学条件の変化が、オフセット酸化膜を兼ねた保護膜14により抑制されているので、レジスト膜に良好な微細パターンを安定して形成することができる。

【0049】その後、このレジスト膜をマスクとして、オフセット酸化膜兼保護膜14、反射防止膜12、タンゲステンシリサイド膜10およびポリシリコン膜8を順次エッチング加工すれば、図15に示す状態となる。反射防止膜12としてのSi_xO_yN_z:H膜は、CHF₃、C₄F₈、CH₂F₂、S₂F₂等の少なくともフッソを含むガス系をエッチャントとし、イオン性を高めたRIEにより、容易にエッチングすることができる。

【0050】その後、本実施例では、LDD構造のソース・ドレイン領域を形成するために、NMOSトランジスタ領域およびPMOSトランジスタ領域のそれぞれに、イオン注入を行い、低濃度の不純物拡散層16を形成する。その後、保護膜14をオフセット酸化膜とし、その両側に、絶縁性サイドウォールを形成し、その上から、ソース・ドレイン領域形成用のイオン注入を行うことで、LDD構造のソース・ドレイン領域が形成される。その後は、通常のSRAMの製造プロセスに従い、半導体装置を形成する。

【0051】本実施例では、1線 (365nm) またはそれよりも短波長の光、例えば1線、KrF、ArFエキシマレーザーを光源に用いて、半導体装置を作成する際、化学量論的に不安定な結合を有する反射防止膜12を用いても、該反射防止膜12上に該反射防止膜12の膜質を変質させない保護膜14を用いることにより、良好に安定した微細パターンを形成することができる。また、この保護膜14は、オフセット酸化膜としてそのまま利用することができるので、製造工程が増大することもない。

【0052】本実施例の保護膜14により、化学量論的に不安定な結合を有する反射防止膜12の光学条件の変化を抑制できることは、次に示す実験により明らかにな

11

った。図16に示すように、まず、タンクステンシリサイド基板18上に、Si, O, N: : H膜20を成膜した。Si, O, N: : H膜20は、バイアスECRプラズマCVD法を利用し、マイクロ波(2.45GHz)を用いて、SiH₄ + O₂ + N₂の混合ガスを用い、バッファガスとしてArを用いて成膜した。成膜時の温度は、360°Cであった。成膜時のSi, O, N: : H膜20の膜厚は、30nmであった。

*

12

*【0053】このSi, O, N: : H膜20の上に、同一の成膜装置で、420°Cの成膜温度で、CVD法により、酸化シリコン膜22を170nm成膜した。この多層膜の構造を、分光エリプソメータ(たとえばSOPRA社のELLIシステム)を用いて測定した結果を表1に示す。

【0054】

【表1】

	濃度	膜厚(mm)
酸化シリコン膜22	-0.022(ボイド)	170.5
中間膜24	-1.19(酸化シリコン)	0.00
Si, O, N: : H膜20	-0.060(ボイド)	30.3

【0055】表1中、濃度とは、酸化シリコン膜22またはSi, O, N: : H膜20中のボイドの割合、または中間膜24中の酸化シリコンの割合を示し、マイナスであるほど緻密な膜であることを示す。中間膜24とは、酸化シリコン膜22およびSi, O, N: : H膜20の界面に形成される混在膜である。また、膜厚とは、多層膜形成後に測定した膜厚である。

【0056】表1に示すように、上記条件でSi, O, N: : H膜20の上に、酸化シリコン膜22を形成すれ

※ば、中間膜24はほとんど形成されず、Si, O, N: : H膜20の膜質はほとんど変化せず、その光学条件が変化しないことが証明された。

【0057】これに対し、図16に示す酸化シリコン膜22を720°CのLP-TEOS法で成膜した以外は、上記と同様にして実験を行ったところ、表2に示す結果が得られた。

【0058】

【表2】

	濃度	膜厚(mm)
酸化シリコン膜22	0.054(ボイド)	177.2
中間膜24	0.488(酸化シリコン)	32.2
Si, O, N: : H膜20	-53.8(ボイド)	0.4

【0059】表2に示すように、酸化シリコン膜22を720°CのLP-TEOS法で成膜した場合には、中間膜24(混在膜)が32.2nm程度形成され、Si, O, N: : H膜20の膜質が大幅に変化し、その光学条件が変化することが判明した。

【0060】このことは、前記図14に示すFT-IRスペクトル分析の結果からも予測がつくものであり、反射防止膜としてのSi, O, N: : H膜の上に成膜される保護膜としては、500°C以下の温度で成膜されることが好ましい。

実施例2

本実施例では、図17、18に示すように、第1配線層30と第2配線層32とをコンタクトホール34を通して接続する配線構造に、本発明を適用している。

【0061】本実施例では、図17に示すように、第1層間絶縁膜36の上に、第1配線層30となる導電層を成膜する。この第1配線層となる導電層は、特に限定されないが、たとえばタンクステンシリサイドである。この第1配線層30となる導電層の上に、まず、本実施例に係る反射防止膜38を成膜する。

【0062】反射防止膜38としては、n=1.7~2.4、k≤0.90(好ましくは0.1≤k≤0.6)の光学定数を有するSi, O, N: : H膜を、20~300nmの膜厚で用いる。Si, O, N: : H膜は、少なくともシリコンを含むガス系を用いた各種CVD法により容易に成膜することができる。たとえば、この膜は、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波を用いて、シラン系ガスと酸素および窒素を含むガスと(たとえばSiH₄ + O₂ + N₂)の混合ガス、またはシラン系ガスと窒素を含むガス(たとえばSiH₄ + N₂O)の混合ガスとを用いて成膜することができる。また、その際に、バッファガスとして、アルゴンArガスなどを用いることができる。Si, O, N: : H膜の成膜時の温度は、特に限定されないが、たとえば350~400°Cである。

【0063】次に、本実施例では、この反射防止膜38の上に、保護膜40を成膜する。この保護膜40の膜厚は、特に限定されないが、たとえば20~200nmであるが、本実施例では、その上に後述する層間膜42が

形成されることから、20～50 nm程度に薄くても良い。保護膜40は、化学量論的に不安定なSi_xO_yN_z:H膜で構成される反射防止膜38の光学条件の変化を抑制するための膜であり、たとえば、500℃以下の成膜温度でCVD法により成膜された酸化シリコン膜、プラズマTEOS法またはオゾンTEOS法により成膜された酸化シリコン膜などで構成される。反射防止膜38と保護膜40とは、同一の成膜装置を用いて成膜することができる。

【0064】その後、本実施例では、保護膜40の上に、図示省略してあるレジスト膜をスピンドルコート法などで成膜し、レジスト膜のフォトリソグラフィー加工を行う。フォトリソグラフィーに用いる露光用光としては、1線(365 nm)、またはそれよりも短波長の光、たとえば1線、KrF、ArFエキシマレーザーを用いる。

【0065】レジスト膜の下層側に、高反射性のタンゲステンシリサイド膜などで構成される第1配線層30となる導電膜が存在することによる定在波効果は、反射防止膜38により良好に抑制され、高精度で微細パターンを作成することが可能である。また、反射防止膜の光学条件は、定在波効果を抑制するように最適化されており、その光学条件の変化が、保護膜40により抑制されているので、レジスト膜に良好な微細パターンを安定して形成することができる。

【0066】その後、このレジスト膜をマスクとして、保護膜40、反射防止膜38および第1配線層30となる導電層を順次エッティング加工すれば、所定の微細パターンに加工された第1配線層30を得る。その後、本実施例では、第1層間絶縁膜36および保護膜40の上に、第2層間絶縁膜42を成膜する。第2層間絶縁膜42は、特に限定されないが、保護膜40と略同等の光学定数を有する無機膜であることが好ましく、たとえばLPT-TEOS法により成膜される酸化シリコン膜で構成される。この第2層間絶縁膜42の膜厚も特に限定されないが、たとえば80～200 nm程度である。

【0067】次に、本実施例では、この第2層間絶縁膜42の上に、レジスト膜44をスピンドルコート法などで成膜し、レジスト膜44のフォトリソグラフィー加工を行う。フォトリソグラフィーに用いる露光用光としては、1線(365 nm)、またはそれよりも短波長の光、たとえば1線、KrF、ArFエキシマレーザーを用いる。

【0068】レジスト膜44の下層側に、高反射性のタンゲステンシリサイドなどで構成される第1配線層30が存在することによる定在波効果は、反射防止膜38により良好に抑制され、高精度で微細パターン46を作成

することができる。また、反射防止膜38の光学条件は、定在波効果を抑制するように最適化されており、その光学条件の変化が、保護膜40により抑制されているので、仮に第2層間絶縁膜42が500℃以上の条件で成膜されていたとしても、レジスト膜44に良好な微細パターン46を安定して形成することができる。

【0069】その後、このレジスト膜44をマスクとして、図18に示すように、第2層間絶縁膜42、保護膜40および反射防止膜38を順次エッティング加工し、微細パターンのコンタクトホール34を高精度で形成する。その後は、コンタクトホール34に入り込むように、第2配線層32を成膜し、第2配線層32と第1配線層30とを接続する。

【0070】本実施例では、1線(365 nm)またはそれよりも短波長の光、たとえば1線、KrF、ArFエキシマレーザーを光源に用いて、半導体装置を作成する際、化学量論的に不安定な結合を有する反射防止膜38を用いても、該反射防止膜38上に該反射防止膜38の膜質を変質させない保護膜40を用いることにより、良好に安定した微細パターンを形成することができる。

【0071】また、本実施例の保護膜40を用いることで、その上に、層間絶縁膜42を500℃以上の温度で成膜しても、化学量論的に不安定な結合を有する反射防止膜38の光学条件の変化を抑制できることは、次に示す実験により明らかになった。

【0072】図19に示すように、まず、タンゲステンシリサイド基板48の上に、反射防止膜としてのSi_xO_yN_z:H膜50を成膜した。Si_xO_yN_z:H膜50は、バイアスECRプラズマCVD法を利用し、マイクロ波(2.45 GHz)を用いて、SiH₄+O₂+N₂の混合ガスを用い、バッファガスとしてArを用いて成膜した。成膜時の温度は、360℃であった。成膜時のSi_xO_yN_z:H膜50の膜厚は、30 nmであった。

【0073】このSi_xO_yN_z:H膜50の上に、同一の成膜装置で、360℃の成膜温度で、プラズマTEOS法により、保護膜としてのP-TEOS酸化シリコン膜52を、30 nm成膜した。その後、層間絶縁膜として、低圧(LP)TEOS法により、720℃の成膜温度で、LP-TEOS酸化シリコン膜54を、140 nm成膜した。

【0074】この多層膜の膜構造を、分光エリプソメータ(たとえばSOPRA社のELLIシステム)を用いて測定した結果を表3に示す。

【0075】

【表3】

15

16

	濃度	膜厚 (mm)
TEOS酸化シリコン膜54	-0.022 (ボイド)	140
P-TEOS酸化シリコン膜52	-0.001 (ボイド)	30
中間膜56	-0.005 (P-TEOS)	0.1
Si, O, N, : H膜50	0.008 (ボイド)	31.0

【0076】表3中、濃度とは、TEOS酸化シリコン膜54、P-TEOS酸化シリコン膜52またはSi, O, N, : H膜50中のボイドの割合、または中間膜56中のP-TEOS酸化シリコンの割合を示し、マイナスであるほど緻密な膜であることを示す。中間膜56とは、P-TEOS酸化シリコン膜52およびSi, O, N, : H膜50の界面に形成される混在膜である。また、膜厚とは、多層膜形成後に測定した膜厚である。

【0077】表3に示すように、上記条件でSi, O, N, : H膜50の上に、P-TEOS酸化シリコン膜52およびTEOS酸化シリコン膜54を形成すれば、中間膜56はほとんど形成されず、Si, O, N, : H膜50の膜質はほとんど変化せず、その光学条件が変化しないことが証明された。

【0078】また、図19に示すように、上述した条件で、タンゲステンシリサイド基板48上に、反射防止膜としてのSi, O, N, : H膜50、P-TEOS酸化シリコン膜52およびLP-TEOS酸化シリコン膜54を形成し、その上にレジスト膜を載せた場合の定在波効果を図20の曲線Bに示す。また、反射防止膜としてのSi, O, N, : H膜50が設けられない場合の定在波効果を図20の曲線Bに示す。図示するように、定在波効果をかなり低減できることが確認された。

【0079】なお、図20に示すシミュレーション実験では、露光用光としては、KTF(波長λ=248nm)を用いた。レジスト膜としては、XP8843を用い、そのn_rおよびk_rは、それぞれ1.80および0.011と仮定した。また、タンゲステンシリサイド基板のnおよびkは、それぞれ1.93および2.73と仮定した。また、Si, O, N, : H膜のnおよびkは、それぞれ2.12および0.54と仮定した。また、LP-TEOS酸化シリコン膜およびP-TEOS酸化シリコン膜のnおよびkは、それぞれ1.52および0と仮定した。

【0080】実施例3

上記実施例1においては、図15に示すオフセット酸化膜を保護膜14で構成したが、本実施例では、オフセット酸化膜を、保護膜と層間膜との積層膜構造に構成する以外は、実施例1と同様にして、半導体装置を製造した。

【0081】保護膜は、20~100nmの膜厚を有し、500°C以下の成膜温度でCVD法により成膜された酸化シリコン膜、プラズマTEOS法またはオゾンT

10

20

30

40

50

EOS法により成膜された酸化シリコン膜などで構成した。また、層間膜は、80~200nm程度の膜厚を有し、保護膜と略同等の光学定数を有する無機膜であることが好ましく、たとえばLP-TEOS法により成膜される酸化シリコン膜で構成した。

【0082】実施例4

本実施例では、上記実施例1~実施例3で示した、反射防止膜としてのSi, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0083】すなわち、本実施例では、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波(2.45GHz)を用いて、SiH₄ + O₂ + N₂の混合ガス、もしくはSiH₄ + N₂Oの混合ガスを用いて、Si, O, N, : H膜を成膜した。

【0084】実施例5

本実施例では、上記実施例1~実施例3で示した、Si, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0085】すなわち、本実施例では、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波(2.45GHz)を用いて、SiH₄ + O₂ + N₂の混合ガス、もしくはSiH₄ + N₂Oの混合ガスを用い、バッファガスとしてArを用い、Si, O, N, : H膜を成膜した。

【0086】実施例6

本実施例では、上記実施例1~実施例3で示した、Si, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0087】すなわち、本実施例では、平行平板型プラズマCVD法、ECR-CVD法、もしくはバイアスECRプラズマCVD法を利用し、SiH₄ + O₂ + N₂の混合ガス、もしくはSiH₄ + N₂Oの混合ガスを用いて、Si, O, N, : H膜を成膜した。

【0088】実施例7

本実施例では、上記実施例1~実施例3で示した、Si, O, N, : H膜を、以下の手法により成膜した以外は、実施例1~3で示した半導体装置の製造方法と同様にして半導体装置を製造した。

【0089】すなわち、本実施例では、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、 $\text{SiH}_4 + \text{O}_2 + \text{N}_2$ の混合ガス、もしくは $\text{SiH}_4 + \text{N}_2$ の混合ガスを用いて、バッファガスとしてArを用い、 $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜を成膜した。

【0090】実施例8

本実施例では、実施例1～3で示した、反射防止膜としての $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜の代わりに、 Si, N_2 を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置を製造した。

【0091】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波(2.45GHz)を用いて、 $\text{SiH}_4 + \text{NH}_3$ 混合ガス、もしくは $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$ 混合ガスを用いて成膜した。

【0092】実施例9

本実施例では、実施例1～3で示した、反射防止膜としての $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜の代わりに、 Si, N_2 を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置を製造した。

【0093】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、マイクロ波(2.45GHz)を用いて、 $\text{SiH}_4 + \text{O}_2$ 混合ガス、もしくは $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$ 混合ガスを用い、バッファガスとしてArを用いて成膜した。

【0094】実施例10

本実施例では、実施例1～3で示した、反射防止膜としての $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜の代わりに、 Si, N_2 を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置を製造した。

【0095】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、 $\text{SiH}_4 + \text{O}_2$ 混合ガス、もしくは $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$ 混合ガスを用いて成膜した。

【0096】実施例11

本実施例では、実施例1～3で示した、反射防止膜としての $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜の代わりに、 Si, N_2 を用い、それを、以下の手法により成膜した以外は、実施例1～3と同様にして、半導体装置に微細パターンを形成した。

【0097】すなわち、本実施例では、反射防止膜を、平行平板型プラズマCVD法、ECRプラズマCVD法、もしくはバイアスECRプラズマCVD法を利用し、 $\text{SiH}_4 + \text{O}_2$ 混合ガス、もしくは $\text{SiH}_2\text{Cl}_2 + \text{NH}_3$ 混合ガスを用い、バッファガスとしてArを用

いて成膜した。

【0098】

【発明の効果】以上説明してきたように、本発明の半導体装置の製造方法によれば、1線(365nm)またはそれよりも短波長の光、例えば1線、KrF、ArFエキシマレーザーを光源に用いて、半導体デバイスを作成する際、化学量論的に不安定な結合を有する反射防止膜を用いても、該反射防止膜上に該反射防止膜の膜質を変質させない保護膜を用いることにより、良好に安定した微細パターンを形成することができる。

【0099】すなわち、本発明によれば、段差構造を有し、かつ半導体マスクパターンが微細なものであっても、反射防止効果と無機マスク機能とを兼ね備える無機膜、特に $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜を用いることにより、工程数を増加させることなく、安定したマスクパターンを配線層上に良好に形成できる。

【図面の簡単な説明】

【図1】図1はレジスト膜内での光の干渉を示す概略図である。

20 【図2】図2はシリコン基板上の定在波効果を示す図である。

【図3】図3は段差による定在波効果への影響を推定する図である。

【図4】図4は吸収光量の変動とパターン寸法変動との関係を示すグラフである。

【図5】図5はシリコン基板上の定在波効果を示す図である。

【図6】図6は反射防止膜の膜厚を固定して、光学定数n, kを変化させた場合の吸収光量の等高線を示す図である。

30 【図7】図7は他の異なったレジスト膜厚について、図6と同様な吸収光量の等高線を示す図である。

【図8】図8は他の異なったレジスト膜厚について、図6と同様な吸収光量の等高線を示す図である。

【図9】図9は他の異なったレジスト膜厚について、図6と同様な吸収光量の等高線を示す図である。

【図10】図10(A), (B)は製造条件を変化させた場合の $\text{Si}, \text{O}, \text{N}_2$ の光学定数の変化を示すグラフである。

40 【図11】図11はタンゲステンシリサイド下地基板上に、 $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜を成膜した場合の反射防止効果を示す図である。

【図12】図12はアルミシリコンシリサイド基板上に $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜を成膜した場合の反射防止効果を示す図である。

【図13】図13はシリコン基板上に $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜を成膜した場合の反射防止効果を示す図である。

【図14】図14は $\text{Si}, \text{O}, \text{N}_2 : \text{H}$ 膜をアニールした場合のFT-IRスペクトル分析図である。

【図15】図15は本発明の一実施例に係る半導体装置

の製造過程を示す要部断面図である。

【図16】図16は保護膜の効果を確かめる実験例を示す概略図である。

【図17】図17は本発明の他の実施例に係る半導体装置の製造過程を示す概略断面図である。

【図18】図18は図17に示す工程の続きの工程を示す概略断面図である。

【図19】図19は保護膜の効果を確かめる実験例を示す概略図である。

【図20】図20は反射防止膜および保護膜を積層させた場合の定在波効果を示すグラフである。

【符号の説明】

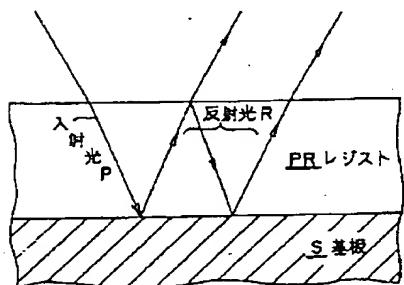
2… 半導体基板

4… 素子分離領域

- 6… ゲート絶縁膜
- 8… ポリシリコン膜
- 10… タングステンシリサイド膜
- 12… 反射防止膜
- 14… 保護膜（オフセット酸化膜）
- 30… 第1配線層
- 32… 第2配線層
- 34… コンタクトホール
- 36… 第1層間絶縁膜
- 38… 反射防止膜
- 40… 保護膜
- 42… 第2層間絶縁膜
- 44… レジスト膜

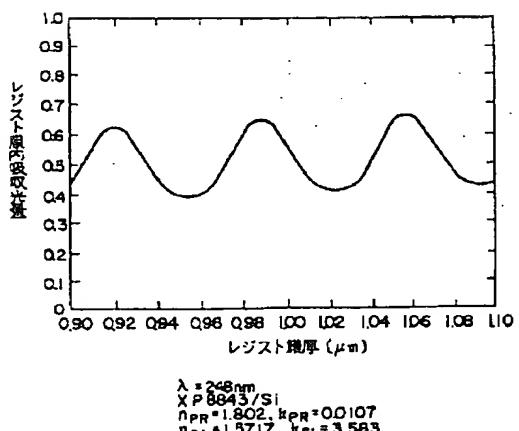
【図1】

レジスト膜内での光の干渉



【図2】

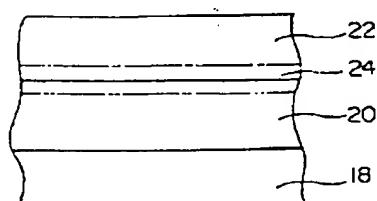
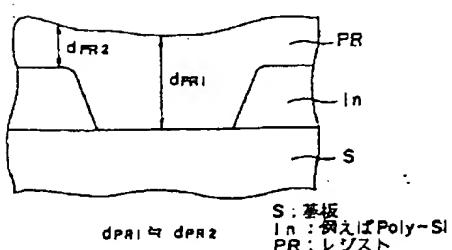
定在波効果



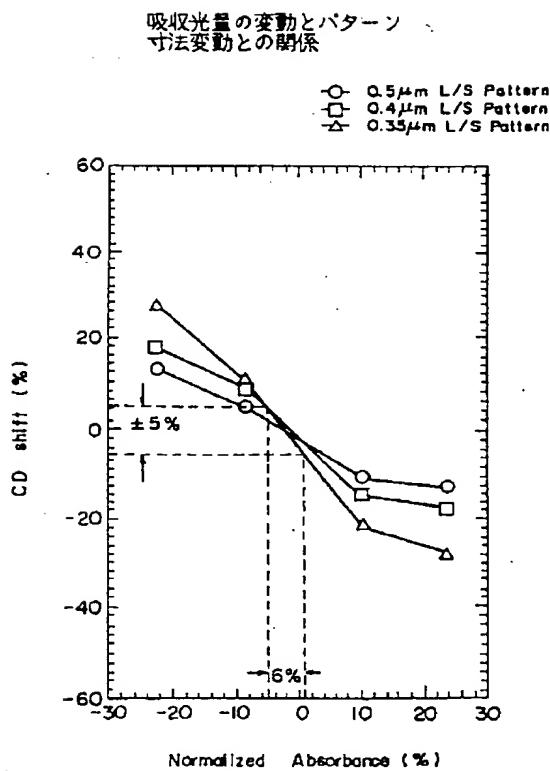
【図3】

段差の影響

【図16】

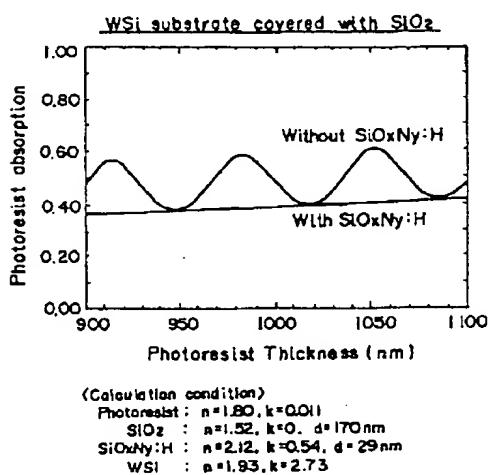


【図4】

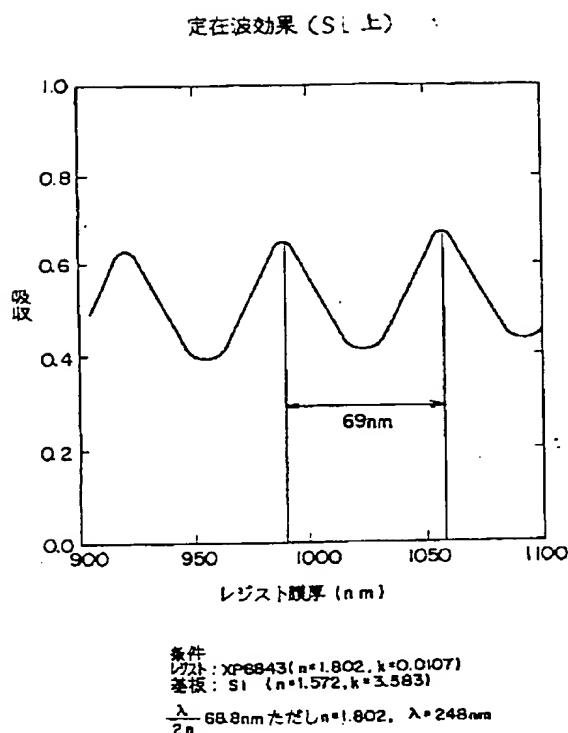


【図11】

Simulated ARL performance of SiO_xN_y:H film for W-Si substrate.

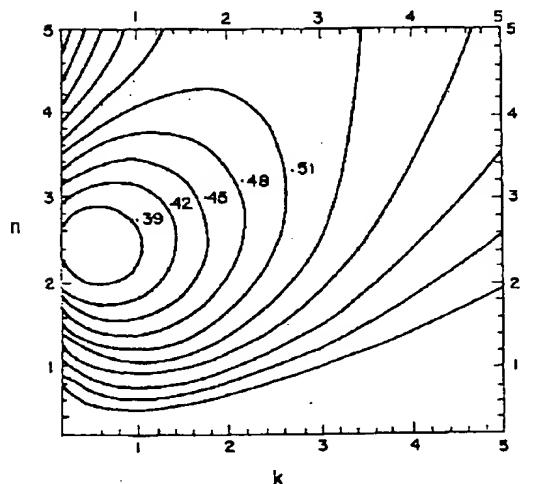


【図5】



【図6】

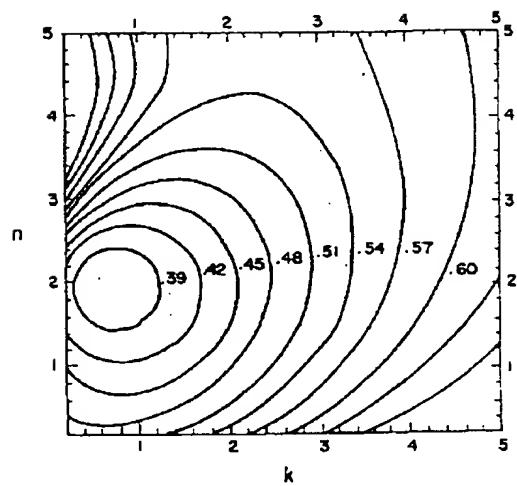
或るレジスト膜厚について反射防止膜 ARL の膜厚を固定して n_{ARL} , k_{ARL} を変化させた場合のレジスト膜の吸収光量の変化の軌跡



レジスト膜厚 985 nm
反射防止膜厚 20 nm

【図7】

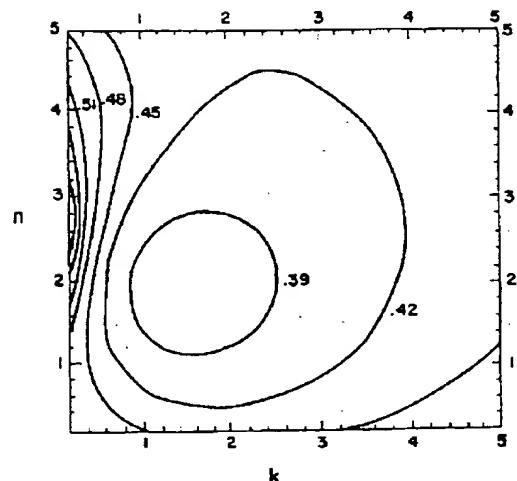
他の異なったレジスト膜厚についての軌跡



レジスト膜厚 1000nm
反射防止膜厚 20nm

【図8】

他の異なったレジスト膜厚についての軌跡

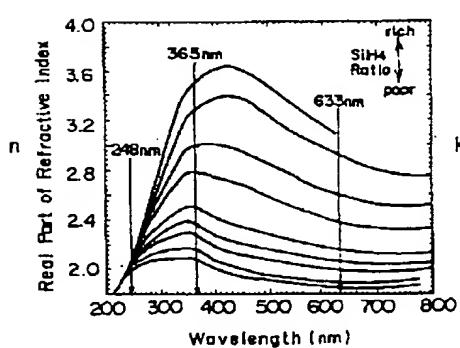


レジスト膜厚 1018nm
反射防止膜厚 20nm

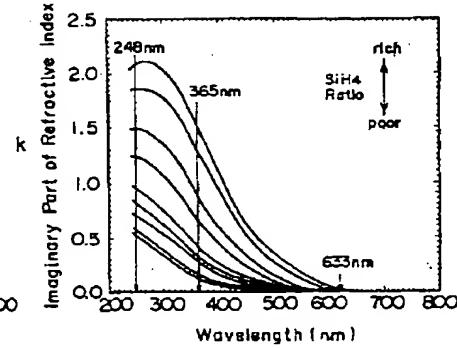
【図10】

Spectroscopic optical constants of $\text{SiO}_x\text{Ny: H}$ film.

(A)

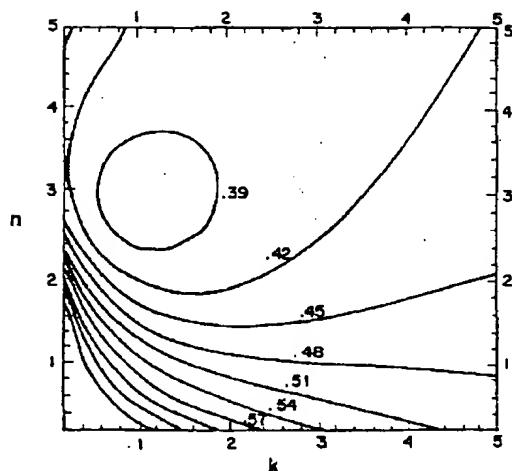


(B)



【図9】

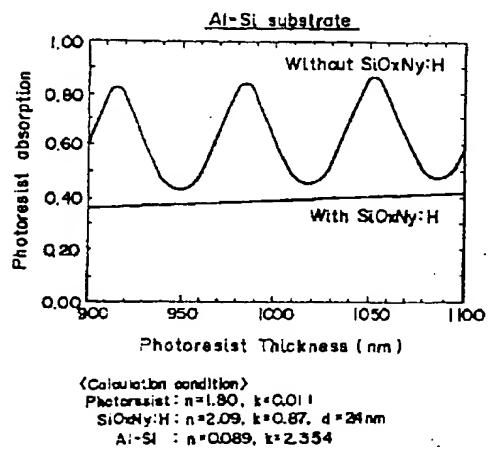
他の異なったレジスト膜厚についての軌跡



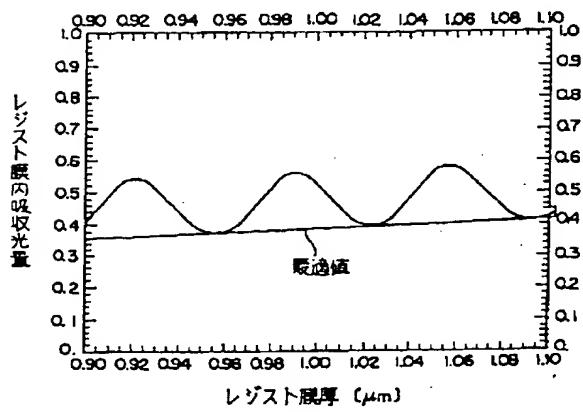
レジスト膜厚 1035nm

反射防止膜厚 20nm

【図12】

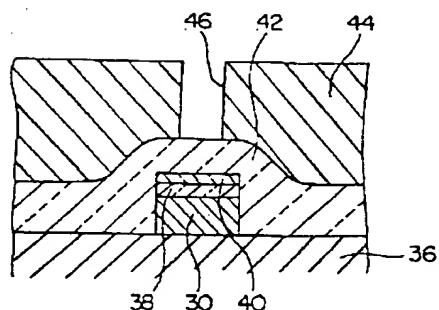
Simulated ARL performance of SiO_xN_y:H film for Al-Si substrate.

【図13】

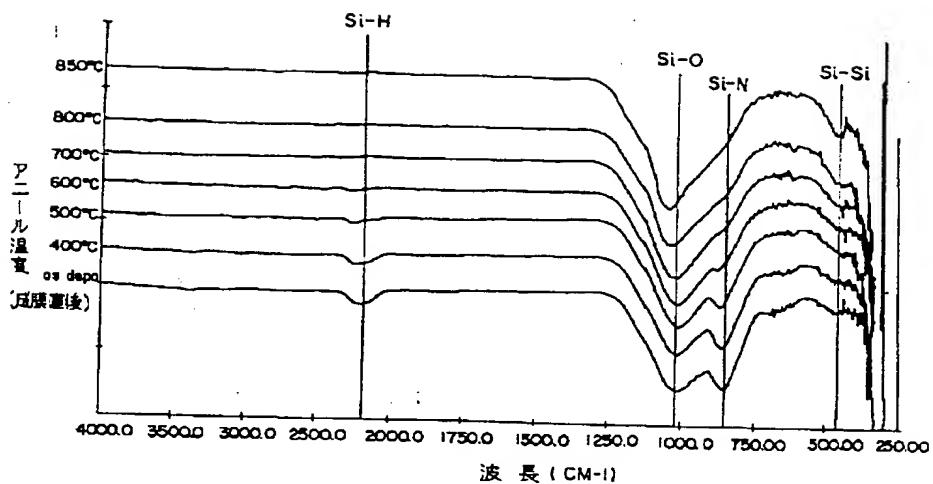
Si基板上の Si_xO_yN_z層, Si_xN_y層(32nm)の反射防止効果

XP8843/Si_xO_yN_z, Si_xN_y(32nm)/Si
 $n_{Si_xO_yN_z} = 2.0$
 $k_{Si_xO_yN_z} = 0.55$

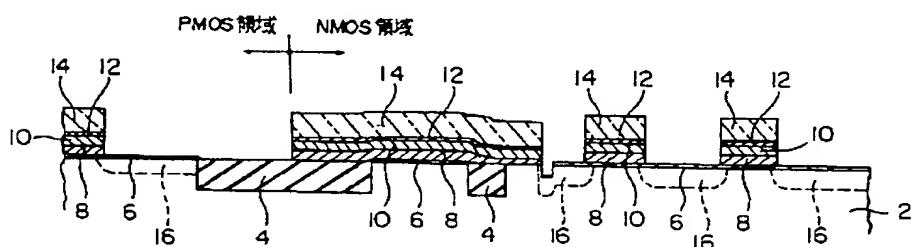
【図17】



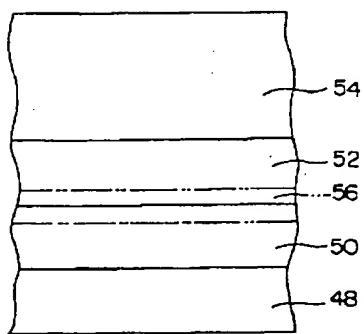
【図14】



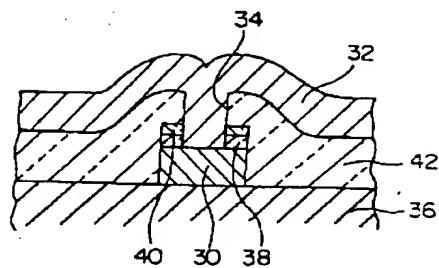
【図15】



【図19】



【図18】



【図20】

